

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-337646

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶

識別記号

F I

G 0 1 T 1/161

G 0 1 T 1/161

C

1/24

1/24

7/00

7/00

B

H 0 1 L 27/14

H 0 1 L 27/14

K

31/00

31/00

A

審査請求 未請求 請求項の数12 O L (全10頁)

(21)出願番号

特願平10-148802

(22)出願日

平成10年(1998)5月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山河 勉

栃木県大田原市下石上1385番の1 株式会

社東芝那須工場内

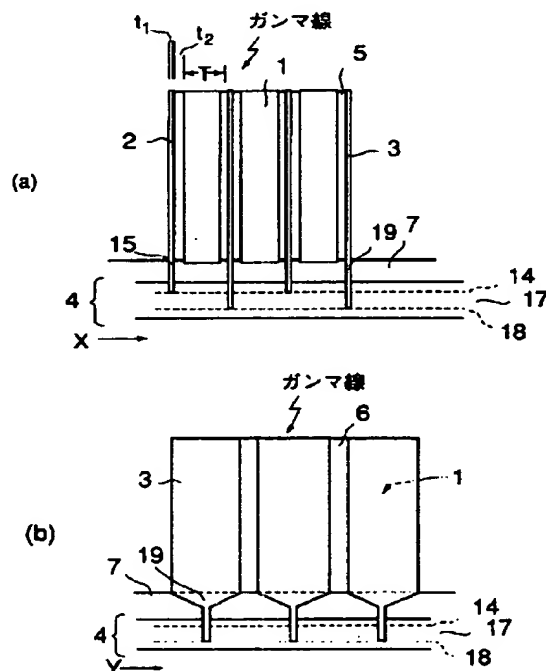
(74)代理人 弁理士 三澤 正義

(54)【発明の名称】 放射線半導体検出器、放射線半導体検出器アレイおよびコリメータ設置装置

(57)【要約】

【課題】 従来よりも簡単に精度良く組立て可能で、空間分解能に優れる放射線半導体検出器の提供。

【解決手段】 放射線半導体検出器において、放射線検出用の複数の半導体セルを所定方向に沿って等間隔に縦置きに配置し、隣接する半導体セルで印加電極および信号取り出し電極を共有して半導体セル間の不感帯を均一に小さくし、その不感帯とコリメータのセプターを可能な限り重ね合わせるように、コリメータを構成すると共にコリメータの自動位置調整機構を備えて、感度のロスを最小限に抑える。



【特許請求の範囲】

【請求項 1】 放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する 2 つの前記半導体セルに共有されるように放射線入射方向に平行に設けたことを特徴とする放射線半導体検出器。

【請求項 2】 前記所定の等間隔が、前記所定方向の半導体セルの幅の略 1/10 以下の 1 以下としたことを特徴とする請求項 1 に記載の放射線半導体検出器。

【請求項 3】 前記所定方向に配置された前記複数の半導体セルの列を、前記所定方向に直交する方向に沿って前記所定の等間隔でさらに複数配置したことを特徴とする請求項 1 または請求項 2 に記載の放射線半導体検出器。

【請求項 4】 前記印加電極を、前記所定方向に沿って隣接する前記複数の半導体セル間でも共有させて設けたことを特徴とする請求項 3 に記載の放射線半導体検出器。

【請求項 5】 前記信号取り出し電極を、前記所定方向に直交する方向に前記所定の等間隔で 1 つの半導体セルに対して複数設けたことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の放射線半導体検出器。

【請求項 6】 前記 1 つの半導体セルの前記電極間にイオン注入により絶縁層を構成したことを特徴とする請求項 5 に記載の放射線半導体検出器。

【請求項 7】 前記 1 つの半導体セルの前記電極間に絶縁用の溝を設けたことを特徴とする請求項 5 に記載の放射線半導体検出器。

【請求項 8】 放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する 2 つの前記半導体セルに共有されるように放射線入射方向に平行に設けた放射線半導体検出器を複数所定方向に沿って密着配置し、前記所定方向に沿って並ぶ半導体セルの間隔を全て前記所定の等間隔として構成したことを特徴とする放射線半導体検出器アレイ。

【請求項 9】 前記放射線半導体検出器を複数さらに前記所定方向と直交する方向にも密着配置し、前記所定方向と直交する方向に沿って並ぶ半導体セルの間隔も全て前記所定の等間隔として構成したことを特徴とする請求項 8 に記載の放射線半導体検出器アレイ。

【請求項 10】 信号処理部を放射線半導体検出器と独立して設けたことを特徴とする請求項 8 または請求項 9 に記載の放射線半導体検出器アレイ。

【請求項 11】 角型のコリメータ穴を備えるコリメータを、セプターを不感帯と重ね合わせて設置したことを特徴とする請求項 8 ～ 10 のいずれか 1 項に記載の放射線半導体検出器アレイ。

【請求項 12】 放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する 2 つの前記半導体セルに共有されるように放射線入射方向に平行に設けた放射線半導体検出器にコリメータを設置するコリメータ設置装置において、前記コリメータの各セプター部分を前記放射線半導体検出器の不感帯に重ね合わせる位置に配置することを特徴とするコリメータ設置装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、被検体に投与された放射線同位元素（R1）から放射される放射線を検出し、放射性同位元素の体内分布を画像化するに用いる、半導体セルアレイモジュール、放射線半導体検出器および核医学診断装置、ならびに X 線コンピュータ断層撮影装置に関する。

【0002】

【従来の技術】被検体に投与された放射線同位元素（R1）から放射される放射線を検出する放射線検出器は、核医学診断装置において最も重要な構成要素の 1 つであり、放射線検出器の性能が、空間分解能やエネルギー分解能、さらには計数特性等といった装置全体の性能を左右するといっても過言ではない。

【0003】現在、放射線検出器として広く一般的に用いられているのはシンチレーション型検出器、特にシンチレータ（蛍光体）、ライトガイドおよび光電子増倍管（PMT）アレイを組み合わせてなるアンガー型検出器である。

【0004】しかし、このシンチレーション型検出器は、放射線の入射によりシンチレータで発生した光を、ライトガイドを介して、その背面に稠密に配置した複数の光電子増倍管またはフォトダイオードで電気信号に変換して検出する構造となっているために、非常に大型で重いものとならざる負えない。また、放射線—光—電気信号という 2 段階の変換を行っているために、そのエネルギー分解能にも限界がある。

【0005】これに対して、近年発展しつつある半導体検出器は、バイアス電圧を印加した半導体に放射線が入射されると半導体内に多数発生する電子と正孔の対のそれぞれが正電極と負電極に移動する際に誘導される誘導電荷を正電極側に設けるチャージアンプに蓄積してエネルギーに比例した信号として出力する。従って、半導体検出器は、放射線—電気信号という 1 段階の変換で直接的に高変換効率で放射線を検出することが可能であり、しかも半導体セル（セル）で放射線を個別に検出することも可能であることから、エネルギー分解能や計数特性の大幅な向上が図れるものと期待されている。

【0006】また、半導体検出器は、用いる半導体の結晶サイズがアンガー型検出器に広く採用されているシン

チレータ (NaI) と比べて小さいので十分な視野を確保するために半導体の 2 次元セルアレイ、プリアンプおよび読み出し回路を内蔵した半導体セルアレイモジュール (モジュール) を稠密に配置して構成されることが一般的であるが、半導体検出器にはライトガイドや光電子増倍管が不要であることから、放射線検出器の小型軽量化が期待されている。

【0007】半導体検出器には、例えば CdTe や CdZnTe 等のテルル化カドミウム系化合物半導体の放射線入射面にバイアス電極を、そして半導体を挟んで対向する裏面に信号取り出し電極を設け、縦横に素子分離して 2 次元的なアレイを形作り、印加 (バイアス) 電極を通過して入射してきた放射線を吸収するように構成したものが多く、最近では、半導体セルを放射線の入射方向に略平行に縦置きにしてアレイ状に配列させた構造も提案されている。

【0008】半導体セルを縦置きにすると、放射線入射方向に対して垂直方向に印加 (バイアス) 電圧を印加することになり、印加電圧を高くすることなく放射線を吸収する方向の距離を十分に長くすることができる。

【0009】

【発明が解決しようとする課題】しかし、このような従来の縦置きタイプの半導体検出器では、物理的に独立したセルを配列してアレイ構造を形作るために、1 つのセルを素子分離してアレイ構造を形作る従来の横置きタイプに比べて、配列精度が低下するという問題、即ち、モジュール間のデッドスペース (不感帯) のみならずモジュール内の半導体セル間の不感帯の大きさ (厚み) にバラツキがでて不均一となるという問題があり、そのために、独特のアーチファクトを生むなどして画像の構成が難しいという難点があった。

【0010】また、電極層および絶縁層等を挟み、且つ上記した不感帯の大きさのバラツキを調整する余地を設けるために、隣接する半導体セル間の不感帯はある程度大きくする必要があり、セル密度 (空間分解能) の向上にも限度があった。

【0011】さらに、従来の構成からなるモジュールでは、各モジュール内で不感帯の大きさを均一に調整し得ても、不感帯の大きさはモジュール毎に微妙に異なってしまう、そのようなモジュールを複数組み合わせる検出器では、例えば 511 keV 程度の高エネルギーを扱う同時計数型 PET のように複数のモジュールにまたがる同時計数を観測する場合には、観測により得られる電気信号から明瞭な画像を形成するために、非常に複雑な信号処理が必要であった。

【0012】さらに、不感帯の大きさおよび位置が一定していないので、コリメータのセプターが半導体セルのガンマ線入射面と重なり合って、本来放射線検出可能であるにも拘らず実際には放射線検出不可能な領域が無視できない面積で生じてしまうこと、またその領域の面積

をできるだけ小さくするようにコリメータ位置を調整することが困難であるという問題もあった。

【0013】本発明は、上記問題点を鑑みなされたものであり、従来よりも簡単に精度良く組立て可能で、空間分解能に優れ、そして画像形成のための信号処理が簡便な放射線半導体検出器の提供を目的とする。

【0014】また、本発明は、従来よりも容易にコリメータ位置を調整し得るコリメータ設置装置の提供も目的とする。

【0015】

【課題を解決するための手段】上記課題を解決するために、請求項 1 に係る本発明の放射線半導体検出器は、放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する 2 つの前記半導体セルに共有されるように放射線入射方向に平行に設けたことを特徴とする。

【0016】好ましくは、請求項 1 において、前記所定の等間隔が、前記所定方向の半導体セルの幅の略 1/10 の 1 以下としたことを特徴とする。

【0017】また、好ましくは、請求項 1 および 2 において、前記所定方向に配置された前記複数の半導体セルの列を、前記所定方向に直交する方向に沿って前記所定の等間隔でさらに複数配置したことを特徴とする。

【0018】また、好ましくは、請求項 3 において、前記印加電極を、前記所定方向に沿って隣接する前記複数の半導体セル間でも共有させて設けたことを特徴とする。

【0019】また、好ましくは、請求項 1 ~ 4 において、前記信号取り出し電極を、前記所定方向に直交する方向に前記所定の等間隔で 1 つの半導体セルに対して複数設けたことを特徴とする。

【0020】また、好ましくは、請求項 5 において、前記 1 つの半導体セルの前記電極間にイオン注入により絶縁層を構成したことを特徴とする。

【0021】また、好ましくは、請求項 5 において、前記 1 つの半導体セルの前記電極間に絶縁用の溝を設けたことを特徴とする。

【0022】さらに、上記課題を解決するために、請求項 8 に係る本発明の放射線半導体検出器アレイは、放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する 2 つの前記半導体セルに共有されるように放射線入射方向に平行に設けた放射線半導体検出器を複数所定方向に沿って密着配置し、前記所定方向に沿って並ぶ半導体セルの間隔を全て前記所定の等間隔として構成したことを特徴とする。

【0023】また、好ましくは、請求項 8 において、前記放射線半導体検出器を複数さらに前記所定方向と直交

する方向にも密着配置し、前記所定方向と直交する方向に沿って並ぶ半導体セルの間隔も全て前記所定の等間隔として構成したことを特徴とする。

【0024】また、好ましくは、請求項8および9において、信号処理部を放射線半導体検出器と独立して設けたことを特徴とする。

【0025】また、好ましくは、請求項8～10において、角型のコリメータ穴を備えるコリメータを、セプタを不感帯と重ね合わせて設置したことを特徴とする。

【0026】さらに、上記課題を解決するために、請求項12に係る本発明のコリメータ設置装置は、放射線検出用の複数の半導体セルを所定方向に沿って所定の等間隔で配置し、前記半導体セル各々と電気的に接続する印加電極と信号取り出し電極をそれぞれの電極が隣接する2つの前記半導体セルに共有されるように放射線入射方向に平行に設けた放射線半導体検出器にコリメータを設置するコリメータ設置装置において、前記コリメータの各セプタ部分を前記放射線半導体検出器の不感帯に重ね合わせる位置に配置することを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して、本発明の放射線半導体検出器の好ましい実施形態について説明する。なお、ここでは本発明の放射線半導体検出器を、被検体に投与された放射性同位元素（R I）の体内分布をブレーナ像、S P E C T像またはP E T像として映像（または画像）化する核医学診断装置（ガンマカメラ）に装備される放射線半導体検出器として説明するが、本発明の放射線半導体検出器の適用はこのガンマカメラに限定されることはなく、X線コンピュータ断層撮影装置（俗称C T スキャナ）や、その他の例えば非破壊検査等の分野で用いられる装置に適用することもできる。

【0028】本発明の放射線半導体検出器は、例えばC d T e（テルル化カドミウム）等の化合物半導体結晶からなり被検体内のR Iから放射されたガンマ線を直接電気信号に変換して検出可能な複数の半導体セル、印加電極および信号取り出し電極を多層基板上に配置した半導体セルアレイモジュールを1つまたは複数マザーボード上に実装し、前記多層基板の半導体セル設置面の背面側に出力コネクタおよび支持脚部を設け、且つ前記多層基板または前記マザーボードいずれかの半導体セル設置面の背面側に、チャージアンプ、波形整形回路および読み出し回路等からなる信号処理部を設けて概略構成される。

【0029】なお、1つのモジュールからなる放射線半導体検出器と複数のモジュールからなる検出器とを区別するために、便宜上、後者を検出器アレイと称することがある。

【0030】〔第1の実施形態〕図1に、本発明の放射線半導体検出器の1実施形態の電気的システム構成を示す。

【0031】本実施形態においては、半導体セルを所定方向に複数縦置きに密に配置し、且つ電極をガンマ線の入射方向に対して略平行に設けて半導体セルの1次元アレイを構成し、さらにこの1次元アレイを前記所定方向に直交する方向に複数横並びに配置して半導体セルの2次元アレイを構成している。そして、これらの半導体セルは2個で1組のペアを構成しており、その半導体セルのペアの中央部、即ち2個の半導体セルの間に設けた信号取り出し電極を共有し、半導体セルのペアの外側面に設けた印加電極を隣接する半導体セルのペアと共有している。

【0032】このような半導体セルの2次元アレイから得られる半導体信号は、チャージアンプ、波形整形回路および読み出し回路等からなる信号処理部で処理された後にマザーボードに対して出力される。具体的には、高電圧ユニットから印加電極を介して負電圧を印加している半導体セルにガンマ線が入射して発生するホール（Hole）情報および電子（Electron）情報を、信号取り出し電極を介して信号取り出し電極毎に各チャンネル独立して設けるチャージアンプに伝達して誘導電荷を蓄積し、次いでこれを波形整形回路で整形してエネルギーに比例したピーク値を有するパルス信号に変換すると同時にパルス発生を通知するトリガ（Trigger）信号を作成して読み出し回路へ送り出し、これらの信号を受け取った読み出し回路が、信号発生アドレス（Address）を通知する信号およびエネルギー（Energy）レベルを表す信号、そして必要であれば同期用のトリガ信号等を作成してマザーボードに対して出力する。読み出し回路による信号出力形態は、例えばクロック同期信号として出力するなどの慣用の出力形態とすることができる。

【0033】本実施形態の放射線半導体検出器モジュールの側面断面図を図2（a）に、そして正面断面図を図2（b）にそれぞれ示す。

【0034】これらの図によれば、本モジュールは、複数の半導体セル1、印加電極2および信号取り出し電極3を多層基板4上に配置して概略構成されており、さらにこれらに加えて、図には示していないが、そのガンマ線入射面にコリメータを供え、前記多層基板4の半導体セル1設置面の背面側に、信号出力用の出力コネクタ、チャージアンプや読み出し回路等からなる信号処理部、およびモジュールの位置決めおよび固定を行う支持脚部のような部材を設けることができる。

【0035】本モジュールにおいて、図3に示す形状を有する半導体セル1は所定方向（図2（a）のX方向）に複数縦置きに密に配置され、セル各々にガンマ線の入射方向に平行に印加電極2と信号取り出し電極3とが1つずつ対応して設けられているが、これらの電極はモジュール内でX方向に関して隣り合うペアの半導体セル1の間で共有されるようにセル間に1つずつ挿入されて導電性接着剤5で接着されている。即ち、複数の半導体セ

ル1は交互に向きを変えてX方向に沿って1列に配置されて信号取り出し側の面同士ならびに電圧印加側の面同士が向かい合い、その互いに向かい合う電圧印加側の面の間に印加電極2が、信号取り出し側の面の間に信号取り出し電極3がそれぞれ挿入されている。そして、前記所定方向に直交する方向(図2(b)のY方向)に関しても、前記所定方向(X方向)に沿って配置された複数の半導体セル1を複数列配置し、Y方向に隣接する半導体セル間に絶縁層6を設けて半導体セルの2次元アレイを構成している。この絶縁層およびその他の本発明の絶縁層は、例えば絶縁性樹脂を充填して形成することができる。

【0036】このとき、印加電極2は、モジュール内でY方向に1列に並ぶ複数の半導体セル1の間でも共有するように構成することもできる。

【0037】また、図4(a)および図4(b)に示すように、半導体セル1がY方向に関して絶縁分離層8、9で電気的に2ピースに分離され、各ピース毎に信号取り出し電極3が設けられることにより、半導体セル1が素子分離されて2チャンネルを構成することができる。この絶縁分離層8、9は、半導体結晶をイオン注入処理して構成された絶縁分離層8(図4(a)参照)であることも、エッチング等により半導体結晶に切り込み溝を設けて構成された絶縁分離層(切り込み溝)9(図4

(b)参照)であることもできる。切り込み溝9を設けたばあい、切り込み溝9内部は中空のままであっても、絶縁性樹脂を充填してあってもよい。また、絶縁分離層8、9の厚み(幅)を、X方向に隣り合う半導体セル1間の距離と同じにして、X方向とY方向の双方の不感帯の大きさを均一にすることができる。このようにして半導体セル1を素子分離することにより、素子分離しない場合と比べて、同一チャンネル数のセルアレイを構成するに要する半導体セル1の数が少なくなって組立工程数が減少すると共に、絶縁分離層8、9は慣用の手法により高精度に作成され得るので組立精度も向上する。また、予め2つの信号取り出し電極3を絶縁性連結材で互いの絶縁状態を維持したまま所定の間隔を空けて連結した後半導体セル1と接着させることにより組立工程の簡素化および組立精度の向上を図ることもできる。なお、ここでは、1つの半導体セル1を2つに素子分離して2チャンネルを構成した場合について述べたが、所望に応じて、1つの半導体セル1をより多くの素子に分離してより多くのチャンネルを構成することもできる。

【0038】なお、半導体セル1、印加電極2および信号取り出し電極3の実装にあたっては、図2に示すように絶縁層7を介して多層基板4上に実装することもできるが、図5に示すようにX方向およびY方向の半導体セル間の距離を所定の等間隔に定める切り欠き部10を設けた位置決め用基板11の上に絶縁層12を介してセルと電極とを実装して半導体セルのアレイを構成すること

が、組立精度および作業性の観点から有利である。即ち、図2(a)に示す通り、X方向の半導体セル1の厚みをT、印加電極2および信号取り出し電極3の厚みを t_1 、そしてセルと電極の間の導電性接着剤5の層の厚みを t_2 とすれば、1つの半導体セルのペア内には2Tの有感帯および $2t_1 + 4t_2$ の不感帯(デッドスペース)が存在し、隣接半導体セル間の不感帯の厚み(幅)は $t_1 + 2t_2$ である。従って、前記所定の等間隔を $t_1 + 2t_2$ とすれば、X方向およびY方向の半導体セルまたは素子の間の距離を所定の等間隔($t_1 + 2t_2$)とする半導体セルのアレイを構成することができる。さらに、電極材料として比較的剛性の高い、例えばベリリウム銅等を用いることで、前記電極の厚み t_1 を例えば $1/30T$ 程度と非常に薄くすることができる。そして、前記導電性接着剤の層の厚みはおおよそ $1/30T$ 程度にできるので、前記不感帯の厚み($t_1 + 2t_2$)を $1/10T$ 程度の薄さで均一にすることができる。しかし、このような構成においてもセル間の距離に微妙なバラツキが生じてしまうことがあり、そのような場合にはX方向に関しては電極をセルに接着させる導電性接着剤5の厚みを調整し、Y方向に関してはセル間の絶縁層6の厚みを調整してバラツキを補正する。

【0039】このようなセルアレイは、図2に示す前記絶縁層7または図5に示す絶縁層13を介して多層基板4上にマウントされる。この多層基板4の半導体セル1をマウントする側の表面または表面近傍に電圧層14が設けられて、印加電極2のリード部分15と、例えば低温ハンダ16等により電気的に接続されている。この電圧層の下には、例えば2000V程度の高耐電圧を有する絶縁性基板17が配されて絶縁を確保し、印加電圧と信号との間でのリークの発生が抑止されている。そして、前記絶縁性基板17の電圧層14とは反対側に信号層18が設けられて、信号取り出し電極3のリード部分19と電気的に接続されている。このとき、信号層18は絶縁層を挟んで電気的に多層に分離されて、またはその内部が電気的に分離されて、複数の配線が形成されることで各々の配線と信号取り出し電極3との1対1対応が確保されるが、電圧層14は電気的に1体化されていても分離されていてもよい。本実施形態では、信号層18は内部で電気的に分離されており、電圧層14は分離されていない。また、電圧層14は、多層基板4に形成させずに、半導体セルアレイのガンマ線入射面側に絶縁層を設けてその表面または表面近傍に形成させることもできる。

【0040】多層基板4の半導体セル設置面の背面側には、図5に示すように、チャージアンプ、波形整形回路、および読み出し回路等からなる信号処理部20、出力コネクタ21やモジュールの位置決めおよび固定を行う支持脚部22のような部材を設けることができる。図5において、信号処理部20は、一体化して多層基板4

に設けられているが、所望に応じて、それぞれの器材毎に別個に設けられたり、例えばマザーボードのモジュール設置面の背面部等の多層基板以外の部位に設けられることもできる。半導体信号を出力する出力コネクタ 21 は、図 5 に示したように信号処理部 20 が多層基板 4 に設けられているときには信号処理部 20 から信号を受け取ってマザーボードに対して出力するが、信号処理部 20 が多層基板 4 に設けられていないときには信号層 18 から信号を受け取って信号処理部 20 に対して出力する。

【0041】多層基板 4 の半導体セル設置面の背面部に設けられている支持脚部 22 は、その突端部で冷却板上の所定の位置に、例えばナット等の手段を用いて固定されて本モジュールの位置決めおよび支持を行うと同時に、熱の放散をも行うことができ、本モジュールの支持脚部は、支持手段、位置決め固定手段および放熱手段を兼ねている。このとき、冷却板は、モジュールとマザーボードの間またはマザーボードのモジュール設置面とは反対側のどちらにも設置され得る。また、前記冷却板は、例えば銅等の熱容量の大きな金属などの放熱効率の良い好な部材であることが好ましく、さらには、冷却ファン等の冷却板を冷却する手段が設けられることが望ましい。

【0042】また、このような半導体セルアレイのガンマ線入射面にコリメータを実装し、ガンマ線入射方向に平行する側面にシールドを取り付けて、ノイズの抑止を図ることもできる。

【0043】以上のようにして半導体セル 1、印加電極 2 および信号取り出し電極 3 が多層基板 4 上に配置された本実施形態の放射線半導体検出器が構成されている。なお、本実施形態においては、半導体セルの 2 次元アレイにより検出器を構成しているが、所望に応じて半導体セルの 1 次元アレイにより検出器を構成することも当然可能である。また、本実施形態の検出器は隣接するセル 1 間に印加電極 2 または信号取り出し電極 3 のどちらか一方の電極を 1 枚だけ挟むので、隣接するセルの間に一方のセルの印加電極と他方のセルの信号取り出し電極との 2 枚の電極ならびにそれら 2 枚の電極を絶縁する絶縁層を挟む従来の半導体セルのアレイまたは検出器（モジュール）と比べて、隣接するセル間に存在する放射線検出不能の間隔である不感帯を著しく短縮することができる。しかも、本実施形態においては、1 つの半導体セルを 2 チャンネルに素子分離しているため、Y 方向に関するセル密度もほぼ 2 倍に向上している。また、本実施形態においては、電極と電極の間には必ず半導体セル 1 が存在して電極同士が近接することがないので、信号取り出し電極 3 からの半導体信号に対する印加電極 4 の印加電圧の影響が減少し、ノイズの発生が抑制されて S/N 比が高い良好な信号を得ることができる。

【0044】〔第 2 の実施形態〕次いで、上記実施形態で述べた本発明の放射線半導体検出器（モジュール）をマザーボード上に複数 1 次元または 2 次元に実装してなる放射線半導体検出器アレイについて、図 6 および図 7 を参照して説明する。

【0045】本実施形態の放射線半導体検出器アレイを、放射線入射面方向から見た上面図を図 6 に示し、その検出器アレイを図 6 の X 方向に沿って切断した側面断面図を図 7 に示す。

【0046】図 6 に見られる通り、本実施形態においては、複数の検出器モジュール 23 を所定の方向（図 6 の Y 方向）に 1 列に並べて大視野を有する検出器モジュールの 1 次元アレイ 24 を構成している。このとき、検出器モジュール 23 同士が接する図 6 の X 方向側面の接合部において、絶縁性部材を充填する、あるいは絶縁テープで止めるなどの手法により Y 方向に隣り合う半導体セルまたは素子の距離をモジュール内の距離（ $t_1 + 2t_2$ ）と等しくする。さらに Y 方向にも接合部が設けられてより大きな視野を有する検出器モジュールの 2 次元アレイを構成するときには、X 方向の接合部と同様にして不感帯の大きさをそろえると同時に、隣接検出器モジュール 23 の電圧層 14 同士を接続端子を介して電気的に接続する。従って、検出器アレイを構成するに際して、検出モジュール 23 の電圧層 14 の接続端子を設けた辺（図 6 の Y 方向の辺）同士での接合を可能な限り避けて構成するようにすると組立精度および工程数の面で有利である。

【0047】また、図 7 に見られる通り、本実施形態においては、信号処理部 20 を多層基板 4 ではなくマザーボード 25 の検出器モジュール設置面の背面部に設けている。従って、半導体信号は、個々のモジュール 23 の多層基板 4 内部の信号層 18 を介して出力コネクタ 21 へ送られ、そして出力コネクタ 21 から適当な信号線を介してマザーボード 25 に設けられた信号処理部 20 に対して出力される。信号処理部 20 は多層基板 4 に設けられることもでき、そのような場合にはモジュールに基づく単位で読み出し回路などの器材を取り扱う必要があるが、本実施形態のように多層基板 4 以外の部位に設けるとモジュールに基づく単位に制限されることなく取り扱うことができるので、回路の設計上有利である。

【0048】このような検出器アレイ 24 のガンマ線入射面にコリメータを実装するときには、検出器モジュール 23 毎にコリメータを設けることもできるが、複数の検出器モジュール 23 または検出器アレイ 24 全体を単位としてコリメータを設けることが工作上有利である。また、シールドは、検出器アレイのガンマ線入射面に平行する 4 辺を構成する側面にのみ設ける。

【0049】〔第 3 の実施形態〕以上に、放射線半導体検出器（モジュール）および放射線半導体検出器アレイにおいて隣接する半導体セル間の距離を均一にすること

で不感帯の大きさを均一にする実施形態について述べてきたが、これらの検出器モジュールおよび検出器アレイのガンマ線入射面に実装して用いられるコリメータの形状および設置位置の調整によってさらに不感帯の大きさを均一に小さくすることが可能であり、その実施形態を以下に述べる。

【0050】本実施形態の放射線検出器アレイの上面図を図8(a)に、側面断面図を図8(b)に、そして正面断面図を図8(c)にそれぞれ示す。

【0051】この検出器アレイ26は、例えば図6に示した検出器アレイのガンマ線入射面上に、図8(a)～(c)に見られる通りにコリメータ27を、そして検出器アレイのガンマ線入射面に平行する4辺を構成する側面にシールド28をそれぞれ実装して概略構成されている。

【0052】本実施形態のコリメータ27は、隣接する半導体のセルまたは素子の間に存在する不感帯の形状および寸法に合わせてセプター29の形状および寸法が定められており、セプター(リーフ)9即ちコリメータの鉛壁部分が不感帯と可能な限り重なるように格子状に設けられて角型のコリメータ穴30を形成している。このようにしてセプター29をできるだけ不感帯と重ねて存在させれば、従来生じていた有感帯上のセプター29の影、即ち有感帯でありながら実際には放射線検出不可能であった部分を減少させて感度のロスを最小限に抑え、検出器の実効能力を向上させることができる。これは、本発明による放射線半導体検出器(モジュール23およびアレイ24)の不感帯の寸法および位置関係が均一であるからこそ可能になったもので、従来の検出器、特に従来の検出器アレイの寸法および位置関係が不均一な不感帯に合せてコリメータのセプターを製造することは不可能であるか、少なくとも大変に不経済である。

【0053】そして、本実施形態のコリメータ27のセプター29の寸法を種々変えて検出器に実装することで、検出器のコリメータ以外の部分に変更を加えることなく、用途に合わせてガンマ線検出感度および分解能の異なる検出器を設計することができる。即ち、入射ガンマ線のエネルギーが高い用途の場合にはガンマ線入射方向に対して直交する面方向のセプター寸法(セプター厚)を大きくしてセプター厚を厚くしたコリメータを実装し、高分解能が要求される用途の場合にはセプターのガンマ線入射方向に平行な方向のセプター寸法(セプター高)を大きくしてセプター高を高くしたコリメータを実装するだけで、容易に、それぞれの用途に適した検出器を得ることができる。また、例えば半導体のセルまたは素子各々を取り囲む格子を形成している2n列Xm列の不感帯に対して、半導体のセルまたは素子のペア各々を取り囲む格子を形成するようにn列Xm列のセプターを設けた倍周期のコリメータ(図9参照)のように、所定寸法の格子を形成するように幾つかの不感帯に1つの

割合でセプターを設けたコリメータを用いてガンマ線検出感度の向上を図ることもできる。

【0054】[第4の実施形態]以下に、本発明によるコリメータ設置装置について、図面を参照して説明する。

【0055】本発明のコリメータ設置装置は、例えばコリメータ27の取り付け時あるいは使用時にコリメータ27の位置がずれた場合、コリメータ27を検出器上で自動的に移動させてコリメータ27のセプター29と直交して格子を形成している不感帯に可能な限り完全に重なるようにコリメータ27と検出器23、24の相対位置を2次元的に調整するコリメータ移動機構31(図10参照)を備えており、組立場所のみならず使用場所においても容易にコリメータ27の位置調整が可能となり、放射線半導体検出器の生産性および保守作業性を向上させ得るものである。そのようなコリメータ設置装置としては、これに制限されるものではないが、図11に示すコリメータ相対位置自動調整システムを例示することができる。

【0056】図11によれば、本実施形態のコリメータ設置装置は、電動シフト機構等のコリメータ移動機構31、面線源または線線源であるガンマ線源32、ガンマ線検出回路33、プリセットタイム収集カウンタ34、最大値検定回路35およびCPU(中央演算装置)36から概略構成されている。そして、コリメータ移動機構31を用いてコリメータ27を移動させながら、コリメータ27の前面に設定されたガンマ線源32からガンマ線を放射して放射線半導体検出器23、24から出力される信号を検出回路33およびプリセットタイム収集カウンタ34で処理して、観測されたガンマ線量やそのガンマ線量が観測された時間などを含む計数値を得る。この計数値を最大値検定回路35で検定してガンマ線量の最大値の観測時間を決定し、CPU36がその観測時間におけるコリメータ位置を決定した後、コリメータ移動機構31を用いてコリメータ27をその観測時間における位置に移動させて調整を行っている。このとき、検出器側にコリメータの取付け位置を機械的に1次元的に定める手段、例えばガイドレールのようなガイド手段等を設けておけば、残る1次元方向のコリメータ取付け位置のみを自動的に調整すればよいので、コリメータ位置調整手段の構成を簡素にすることができる。

【0057】

【発明の効果】本発明の放射線半導体検出器(アレイ)は、半導体セルを縦置きに高精度で等間隔に密度高く配置し、従来よりも電極の厚みを薄くし、信号処理部をマザーボド側に設置し、コリメータのセプターと不感帯とをできるだけ重ね合わせる構成をとり、そして本発明のコリメータ設置装置は自動的にコリメータ位置を調整する構成をとるので、検出感度およびエネルギー分解能の劣化を招かず放射線吸収方向の半導体の厚みを変更す

ることを可能にし、セル密度（空間分解能）を高くし、画像（映像）形成のための信号処理を容易にし、回路およびその他の部材の設計を容易にし、放射線検出感度のロスを低減し、コリメータの位置調整を容易にすることができる。

【図面の簡単な説明】

【図 1】本発明の放射線半導体検出器の 1 実施形態の電気的システム構成を示す図である。

【図 2】本発明の放射線半導体検出器モジュールの 1 実施形態の部分断面図である。

【図 3】本発明の放射線半導体検出器モジュールに用いられる半導体セルの形状の 1 例を示す図である。

【図 4】本発明による半導体セルの素子分離を説明する図である。

【図 5】本発明による放射線半導体検出器モジュールの断面図である。

【図 6】本発明の放射線半導体検出器アレイの 1 実施形態をガンマ線入射方向から見た上面図である。

【図 7】本発明の放射線半導体検出器アレイの別の実施形態を示す断面図である。

【図 8】本発明によるコリメータを備える放射線半導体検出器アレイの 1 実施形態をガンマ線入射方向から見た上面図である。

【図 9】本発明による別のコリメータを備える放射線半導体検出器アレイの 1 実施形態を説明する断面図である。

【図 10】本発明によるコリメータ設置装置のコリメータ位置調整機構を説明する模式図である。

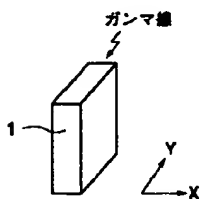
【図 11】本発明によるコリメータ設置装置のコリメータ位置調整システムの構成の 1 例を示す図である。

【符号の説明】

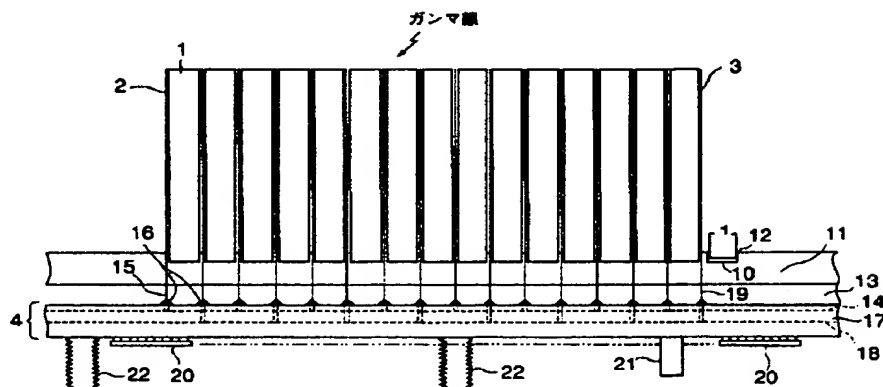
- 1 半導体セル
- 2 印加電極
- 3 信号取り出し電極

- 4 多層基板
- 5 導電性接着剤
- 6 絶縁層
- 7 絶縁層
- 8 絶縁分離層
- 9 絶縁分離層（切り込み溝）
- 10 切り欠き部
- 11 位置決め用基板
- 12 絶縁層
- 13 絶縁層
- 14 電圧層
- 15 印加電極のリード部
- 16 低温ハンダ
- 17 絶縁性基板
- 18 信号層
- 19 信号取り出し電極のリード部
- 20 信号処理部
- 21 出力コネクタ
- 22 支持脚部
- 23 放射線半導体検出器モジュール
- 24 放射線半導体検出器アレイ
- 25 マザーボード
- 26 放射線半導体検出器アレイ
- 27 コリメータ
- 28 シールド
- 29 セフター
- 30 コリメータの穴
- 31 コリメータ移動機構
- 32 ガンマ線源
- 33 ガンマ線検出回路
- 34 プリセットタイム収集カウンタ
- 35 最大値検定回路
- 36 CPU

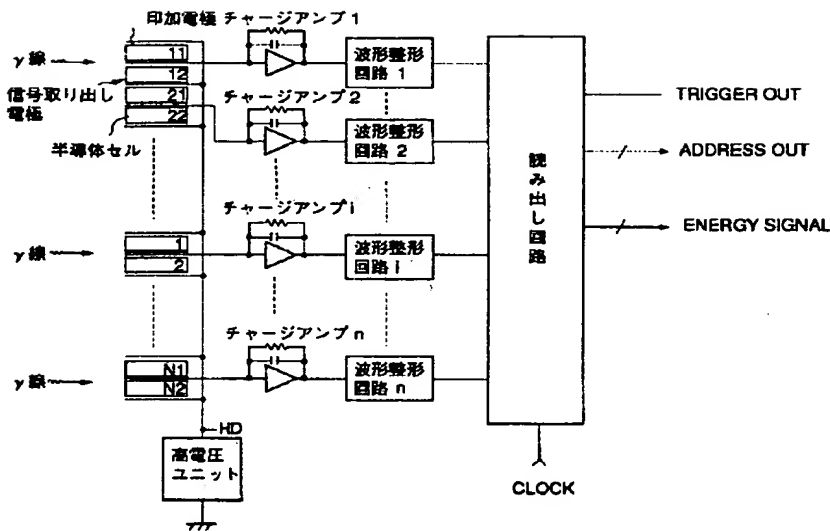
【図 3】



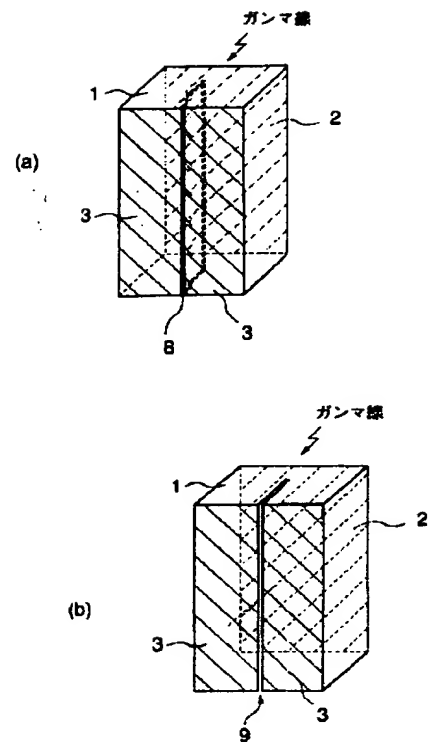
【図 5】



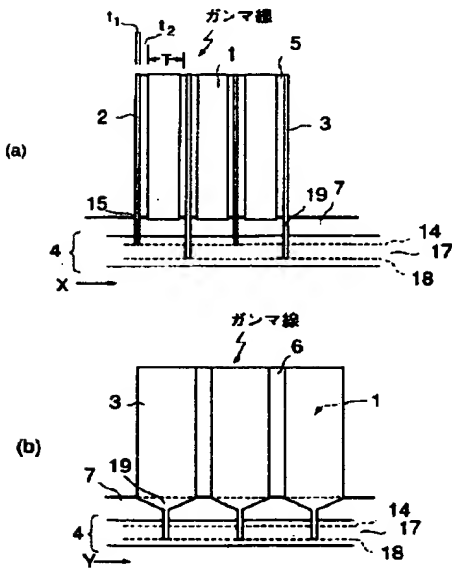
【図 1】



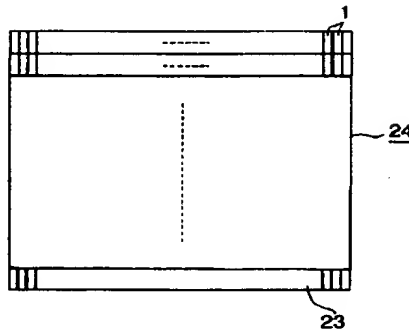
【図 4】



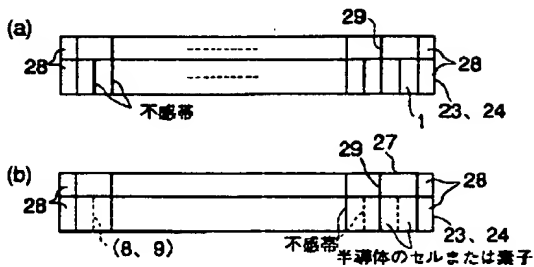
【図 2】



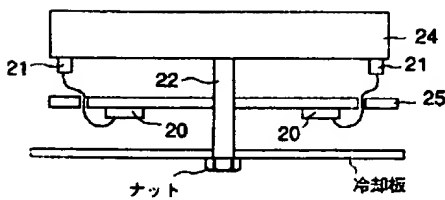
【図 6】



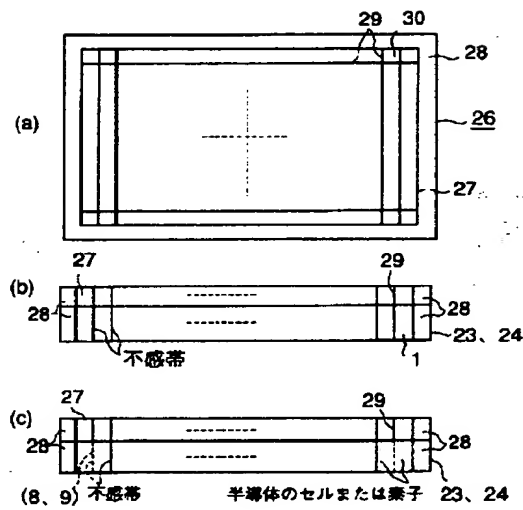
【図 9】



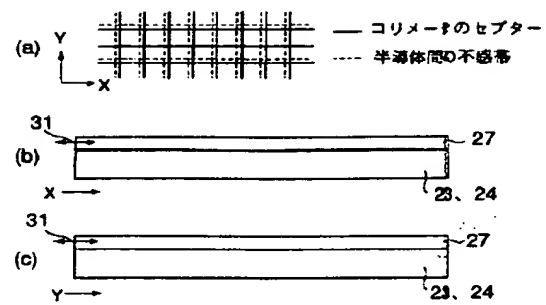
【図 7】



【図 8】



【図 10】



【図 11】

